

情報産業と半導体産業を支える 新しいコンパイラ技術の創成

杉野 暢彦 研究室

- 専門分野：コンパイラ・デジタル信号処理
- Home Page : <http://www.ip.titech.ac.jp/STAFF/SUGINO/indexJ.html>



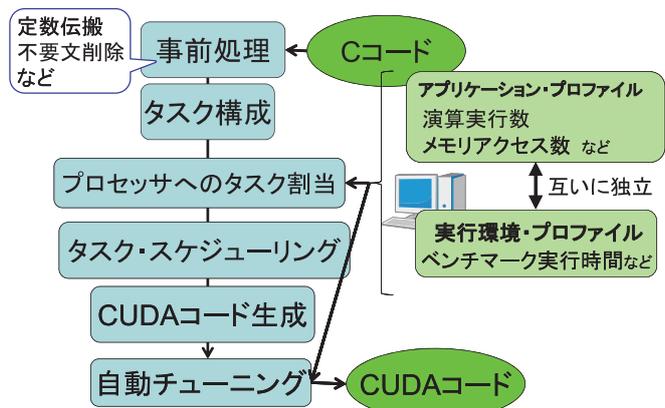
研究目的

汎用及び埋込プロセッサ用の高効率コンパイラの開発をめざしている。プロセッサは年々複雑化し、それを利用したアプリケーションも大規模化してきている、今後のシステム開発においてはソフトウェアもハードウェアと同程度に重要な課題となってきたり、コンパイラを代表とする自動コード生成、自動並列化技術はその中でも鍵として注目されている。

研究テーマ

GPGPU向けコンパイラ

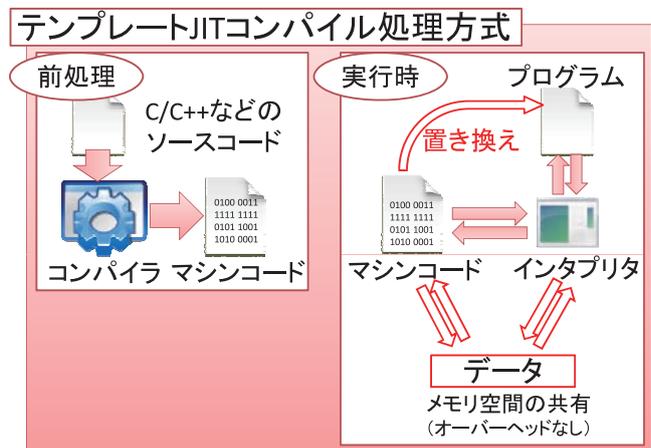
GPGPU向けにアプリケーションを開発するためには、アーキテクチャとCUDAを始めとする専用言語の知識が必要になる上に、プログラマは性能を引き出すために様々に試行錯誤を繰り返すことになり、あまり容易ではありません。そこで、C言語からCUDAへとコードを再構成するコンパイラを提案しています。提案コンパイラでは、入力コードをタスクに分割した後、各タスクの性質に応じてCPU/GPUへの割り当てを行い、更にGPUアーキテクチャに合わせたチューニングを行い、実行効率の向上や消費エネルギーの低減を目指しています。



GPGPU向けソース (C) -to-ソース (CUDA) コンパイラ

動的言語向け自動並列化JITコンパイラ

携帯機器などのアプリケーションはpythonなどの動的言語スクリプトで書かれることが多く、通常、それらは仮想マシン上において、インタプリタ及び処理の高速化を指向したJIT (Just-In-Time) コンパイル方式の処理系により、逐次実行的に実装されている。しかしながら、この実装では「並列化」という概念が欠けており、時流から携帯機器でもCPUがマルチコア化して、並列処理により、処理速度を向上させることも囑望されている。そ

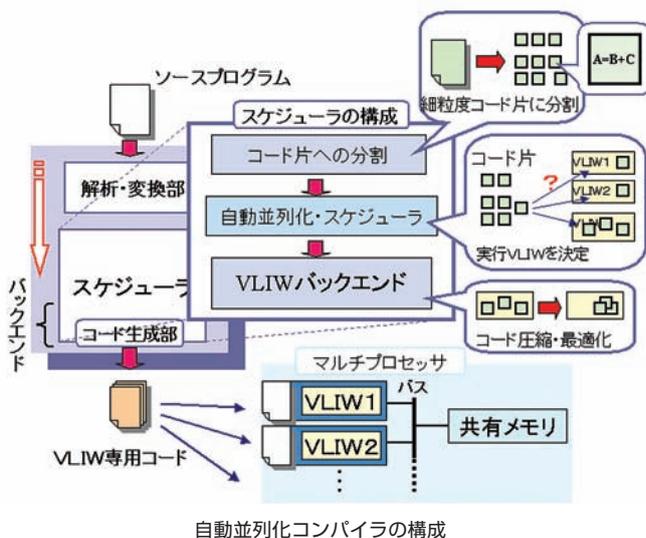


動的言語処理系の自動並列化JITコンパイル方式

ここで、動的言語処理系に「自動並列化」の概念を導入して、その1つの実装方法を提案している。例題プログラムによる検証実験では、並列化による性能向上が確認されている。

マルチコア向け細粒度自動並列化コンパイラ

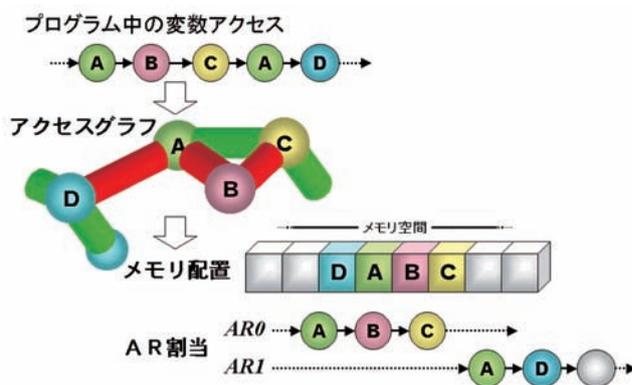
集積回路の微細化が進み、複数のプロセッサコアをプロセッシングエレメント (PE) として1チップに搭載することも盛んである。このようなアーキテクチャに対して、汎用高級言語で書かれたソースプログラムから自動的に効率的な処理を可能とするオブジェクトコードを生成できる自動並列化コンパイラ技術が囑望されている。本研究室では、この自動並列化をより細かいコード片単位で行うことで、各PEにおける制約やPE間における通信などの制約をより詳細に評価できるコンパイラを目指しています。



自動並列化コンパイラの構成

動的再構成可能プロセッサ向けの自動コード生成

動的再構成可能プロセッサは、並列処理やパイプライン処理による高い演算能力を持つだけでなく、動的に回路構成情報であるコンテキストを変更できることにより、様々なアプリケーションに柔軟に対応可能であり、現在注目されている技術の1つです。この動的再構成可能プロセッサと汎用プロセッサを組み合わせる場合に、効率的な処理を可能とするためには、与えられたプログラムのどの部分をコンテキストとして実現するか、また、実行中のどのタイミングでコンテキストを書き換えるか、など様々な要素を考慮する必要があります。今後の研究成果が期待されています。



動的再構成可能プロセッサ向けコンパイラの概要

● 教員からのメッセージ

コンパイラ開発の上で、プロセッサアーキテクチャに直接関係する最適化や自動並列化などの部分については、まだまだ手探りの部分もあります。コンパイラ開発では、実際にプログラミングすることも必要になりますが、何よりもブレークスルーを産む原動力は熱意と根気、それに多方面からものを捉えられる頭の柔らかさ、残された難しい問題に挑戦する元気のあるバラエティに富んだ学生の皆さんを歓迎します。

● 発表論文・著書

1. 湯本厚史, 杉野暢彦, “プロファイルに基づく GPGPU のためのソースコード変換コンパイラ,” ETNET2012 (情報処理学会 SLDM, EMB, 電子情報通信学会 CPSY, DC) (2012年3月)
2. R. Ikeda, et al. “An Automatic Parallelization Scheme Used in JIT Compilation for Dynamic Language Applications,” Proceedings of ICICTES 2012, (2012年3月)
3. K. Umehara, et al. “A Dynamically Reconfigurable Processor for Highly Reliable Systems,” Proceedings of ICICTES 2013, (2013年1月)